

REFERENCES
RE REJECTION 10.4.01

CLIPPEDIMAGE= JP02000091440A
PAT-NO: JP02000091440A
DOCUMENT-IDENTIFIER: JP 2000091440 A
TITLE: MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUBN-DATE: March 31, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
ICHINOSE, KATSUHIKO	N/A
NAKAMURA, MORIO	
IIDA, MASAYA	N/A

N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP10253432

APPL-DATE: September 8, 1998

INT-CL_(IPC): H01L021/8234; H01L027/088 ; H01L029/78 ; H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce contact resistance in the impurity diffused region of a MOSFET by forming an etching stopper film after selectively removing the sidewall spacers formed on the side surfaces of its gate electrode.

SOLUTION: After selectively removing the sidewall spacers formed on the side surfaces of a gate electrode 5, an etching stopper film 10 is formed. As a result, when by applying an anisotropic etching to an interlayer insulating film 11 and the etching stopper film 10, a contact hole 12 for diffused regions is formed on a heavily-doped diffused region 9 present between the gate electrode 5 and an element isolation region 3 of a semiconductor substrate 1, and the distance between the etching stopper film 10 remaining on the side surface of the gate electrode 5 and the element isolation region 3 of the semiconductor substrate 1 can be made large. Therefore, the bottom area of the contact hole 12 for diffused regions can be increased to reduce the contact resistance in the heavily-doped diffused region 9.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-91440
(P2000-91440A)

(43)公開日 平成12年3月31日(2000.3.31)

(51)Int.Cl.	識別記号	F I	テマコード(参考)	
H 0 1 L	21/8234	H 0 1 L 27/08	1 0 2 A	5 F 0 4 0
	27/088	29/78	3 0 1 Y	5 F 0 4 8
	29/78			
	21/336			

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21)出願番号 特願平10-253432
(22)出願日 平成10年9月8日(1998.9.8)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 一瀬 勝彦
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内
(72)発明者 中村 守男
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内
(74)代理人 100083562
弁理士 秋田 収喜

最終頁に続く

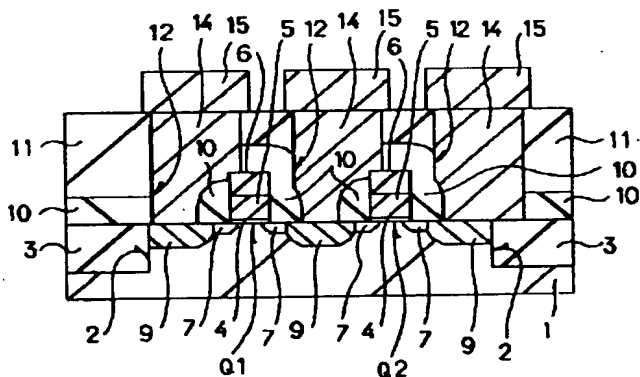
(54)【発明の名称】 半導体集積回路装置の製造方法

(57)【要約】

【課題】 MISFETの不純物拡散領域におけるコンタクト抵抗が高くなる。

【解決手段】 半導体基板の素子形成領域にLDD構造のMISFETを形成し、その後、前記MISFETのゲート電極5の側面に形成されたサイドウォールスペーサ8を除去してエッチングストッパ膜10を形成する。

図 1



【特許請求の範囲】

【請求項1】 半導体基板の素子形成領域にMISFETを有し、前記MISFETは、上面がキャップ絶縁膜で覆われ、側面がサイドウォールスペーサで覆われたゲート電極と、前記ゲート電極に対して自己整合で形成された低濃度不純物拡散領域と、前記サイドウォールスペーサに対して自己整合で形成された高濃度不純物拡散領域とを有する構成になっている半導体集積回路装置の製造方法であって、

前記サイドウォールスペーサを選択的に除去し、その後、前記キャップ絶縁膜を覆うようにして前記半導体基板上に下地に対して選択性を有するエッチングストッパ膜を形成し、その後、前記エッチングストッパ膜上にそれに対して選択性を有する層間絶縁膜を形成する工程と、

前記層間絶縁膜に前記エッチングストッパ膜に対して選択比がとれる条件で異方性エッチングを施し、その後、前記エッチングストッパ膜にその下地に対して選択比がとれる条件で異方性エッチングを施して、前記層間絶縁膜から前記高濃度不純物拡散領域に達するコンタクト孔を形成する工程を備えたことを特徴とする半導体集積回路装置の製造方法。

【請求項2】 半導体基板の素子形成領域に第一MISFET、第二MISFETの夫々を有し、前記第一MISFET、第二MISFETの夫々は、上面がキャップ絶縁膜で覆われ、側面がサイドウォールスペーサで覆われたゲート電極と、前記ゲート電極に対して自己整合で形成された一対の低濃度不純物拡散領域と、前記サイドウォールスペーサに対して自己整合で形成された一対の高濃度不純物拡散領域とを有する構成になっており、前記第一MISFET、第二MISFETの夫々のゲート電極は並列に配置され、前記第一MISFETの一方の高濃度不純物拡散領域は、前記ゲート電極間において、前記第二MISFETの一方の高濃度不純物拡散領域と共用されている半導体集積回路装置の製造方法であって、

前記サイドウォールスペーサを選択的に除去し、その後、前記キャップ絶縁膜を覆うようにして前記半導体基板上に下地に対して選択性を有するエッチングストッパ膜を形成し、その後、前記エッチングストッパ膜上にそれに対して選択性を有する層間絶縁膜を形成する工程と、

前記層間絶縁膜に前記エッチングストッパ膜に対して選択比がとれる条件で異方性エッチングを施し、その後、前記エッチングストッパ膜にその下地に対して選択比がとれる条件で異方性エッチングを施して、前記層間絶縁膜から前記高濃度不純物拡散領域に達するコンタクト孔を形成する工程を備えたことを特徴とする半導体集積回路装置の製造方法。

【請求項3】 半導体基板の素子形成領域にMISFET

Tを有し、前記MISFETは、上面がキャップ絶縁膜で覆われ、側面がサイドウォールスペーサで覆われたゲート電極と、前記ゲート電極に対して自己整合で形成された低濃度不純物拡散領域と、前記サイドウォールスペーサに対して自己整合で形成された高濃度不純物拡散領域とを有する構成になっている半導体集積回路装置の製造方法であって、

前記サイドウォールスペーサを選択的に除去し、その後、前記キャップ絶縁膜を覆うようにして前記半導体基板上に下地に対して選択性を有するエッチングストッパ膜を形成し、その後、前記エッチングストッパ膜上にそれに対して選択性を有する層間絶縁膜を形成する工程と、

前記層間絶縁膜に前記エッチングストッパ膜に対して選択比がとれる条件で異方性エッチングを施し、その後、前記エッチングストッパ膜にその下地に対して選択比がとれる条件で異方性エッチングを施し、その後、前記キャップ絶縁膜に前記ゲート電極及び前記エッチングストッパ膜に対して選択比がとれる条件で異方性エッチングを施して、前記層間絶縁膜から前記ゲート電極に達するコンタクト孔を形成する工程を備えたことを特徴とする半導体集積回路装置の製造方法。

【請求項4】 前記エッチングストッパ膜は、前記サイドウォールスペーサのゲート長方向の幅よりも厚い膜厚で形成することを特徴とする請求項1又は請求項2に記載の半導体集積回路装置の製造方法。

【請求項5】 前記キャップ絶縁膜は酸化シリコン膜で形成し、前記サイドウォールスペーサ及び前記エッチングストッパ膜の夫々は窒化シリコン膜で形成することを特徴とする請求項1乃至請求項3のうち何れか一項に記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置に関し、特に、LDD(Lightly Doped Drain)構造のMISFET(Metal Insulator Semiconductor Field Effect Transistor)を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】半導体集積回路装置に集積されるMOSFET(Metal Oxide Semiconductor Field Effect Transistor)は高集積化と共に微細化され、特に、ゲート長寸法がサブミクロンに達するMOSFETにおいては、ドレイン領域のチャネル形成領域側の部分が他の部分の不純物濃度に比べて低い不純物濃度に設定されたLDD構造の採用が必須要件となる。このLDD構造のMOSFETは、ドレイン領域のチャネル形成領域側への拡散量を低減し、チャネル長寸法を確保できるので、短チャネル効果の発生を抑えることができる。また、LDD構造のMOSFETは、ドレイン領域とチャネル形

成領域との間に形成されるpn接合部の不純物濃度分布の勾配を緩和し、この領域に発生する電界強度を弱められるので、ホットキャリア効果の発生を抑えることができる。

【0003】ところで、半導体集積回路装置の高集積化を図るためには、加工寸法の微細化と同時に、「ゲート電極とコンタクト孔との間の距離」といった、各構造間での合わせの縮小が必要である。現在、SAC(Self Aligned Contact hole)技術を用いて、MOSFETのソース領域及びドレイン領域となる不純物拡散領域上及びゲート電極上に自己整合でコンタクト孔を形成し、半導体基板の素子分離領域やMOSFETのゲート電極に対するコンタクト孔の合わせ余裕の縮小を図っている。

【0004】SAC技術については、例えば、アイ・イー・ディー・エム93(IEDM93,p441,A Novel Borderless Contact/Interconnect Technology Using Aluminum Oxide Etch Stop for High Performance SRAM and Logic)に記載されている。

【0005】

【発明が解決しようとする課題】LDD構造のMOSFETを形成した後、SAC技術を用いてコンタクト孔を形成する場合の問題点について、図18乃至図22(製造方法を説明するための断面図)を用いて説明する。

【0006】まず、シリコン基板21の主面の素子分離領域に溝22を形成し、その後、溝22内に酸化シリコン膜からなる素子分離用絶縁膜23を埋め込んでシリコン基板21の主面の素子形成領域間を電気的に分離する。

【0007】次に、図18に示すように、シリコン基板21の素子形成領域にLDD構造のMOSFET-Q4及びLDD構造のMOSFET-Q5を形成する。MOSFETQ4、Q5の夫々は、主に、チャネル形成領域として用いられるシリコン基板21と、酸化シリコン膜からなるゲート絶縁膜24と、多結晶シリコン膜からなるゲート電極25と、ソース領域及びドレイン領域となる一対の低濃度不純物拡散領域27と、ソース領域及びドレイン領域となる一対の高濃度不純物拡散領域29とを有する構成になっている。ゲート電極25は、上面が酸化シリコン膜からなるキャップ絶縁膜26で覆われ、側面(側壁)が酸化シリコン膜からなるサイドウォールスペーサ(側壁絶縁膜)28で覆われている。一対の低濃度不純物拡散領域27はゲート電極25に対して自己整合で形成され、一対の高濃度不純物拡散領域29はサイドウォールスペーサ28に対して自己整合で形成されている。MOSFETQ4、Q5の夫々のゲート電極25は並列に配置されている。MOSFETQ4の一方の高濃度不純物拡散領域29は、MOSFETQ5の一方の高濃度不純物拡散領域29と共用されている。

【0008】次に、図19に示すように、キャップ絶縁

膜26及びサイドウォールスペーサ28を覆うようにして、シリコン基板21上の全面にエッチングストップ膜30を形成する。エッチングストップ膜30は、素子分離用絶縁膜23、キャップ絶縁膜26、サイドウォールスペーサ28等の酸化シリコン及びシリコン基板21等のシリコンに対して選択性を有する膜(選択的にエッチングが可能な膜)、例えば窒化シリコン膜で形成する。

【0009】次に、エッチングストップ膜30上に層間絶縁膜31を形成する。層間絶縁膜31は、エッチングストップ膜30に対して選択性を有する膜(選択的にエッチングが可能な膜)、例えば酸化シリコン膜で形成する。

【0010】次に、MOSFETQ4、Q5の夫々の高濃度不純物拡散領域29上に拡散領域用コンタクト孔を形成するためのレジストマスクM3をフォトリソグラフィ技術を用いて層間絶縁膜31上に形成する。

【0011】次に、レジストマスクM3をエッチングマスクとして使用し、図20に示すように、エッチングストップ膜30に対して選択比がとれる条件で層間絶縁膜31に異方性エッチングを施し、その後、エッチングストップ膜30の下地である素子分離用絶縁膜23、キャップ絶縁膜26、サイドウォールスペーサ28等の酸化シリコン及びシリコン基板21等のシリコンに対して選択比がとれる条件でエッチングストップ膜30に異方性エッチングを施して、図21に示すように、層間絶縁膜31の表面から高濃度不純物拡散領域29に達する拡散領域用コンタクト孔32を形成する。

【0012】次に、レジストマスクM3を除去し、その後、図示していないが、拡散領域用コンタクト孔32と同様の方法を用いて、層間絶縁膜31の表面からゲート電極25に達するゲート用コンタクト孔を形成する。

【0013】次に、拡散領域用コンタクト孔32内及びゲート用コンタクト孔内に金属等の導電物を充填して導電プラグ14を形成し、その後、配線15を形成することにより、図22に示すように、MOSFETQ4、Q5の夫々に上層の配線15が電気的に接続される。

【0014】前述の方法を用いれば、サイドウォールスペーサ28及び素子分離用絶縁膜23に影響を与えずに拡散領域用コンタクト孔32を形成することができるため、ゲート電極25と拡散領域用コンタクト孔32との間の距離を縮小することができる。

【0015】しかしながら、サイドウォールスペーサ28の様に、シリコン基板31に対して垂直な部分にエッチングストップ膜30を形成した場合、異方性エッチングとしては実効的に膜厚が厚く見えるため、図21に示すように、拡散領域用コンタクト孔32を形成する時の異方性エッチングでサイドウォールスペーサ28の脇にエッチングストップ膜30が側壁状に厚く残存する。このため、拡散領域用コンタクト孔32の低面積(高濃度不純物拡散領域の露出面積)が縮小し、シリコン基板2

1の素子分離領域(素子分離用絶縁膜23)とゲート電極25との間の高濃度不純物拡散領域29におけるコンタクト抵抗及びゲート電極25間の高濃度不純物拡散領域29におけるコンタクト抵抗が増加するという問題がある。

【0016】また、シリコン基板の素子形成領域上においてゲート用コンタクト孔を形成する場合の問題点について、図23(製造方法を説明するための断面図)を用いて説明する。

【0017】MOSFET-Q6のゲート電極25上にゲート用コンタクト孔を形成するためのレジストマスクM4をフォトリソグラフィ技術を用いて層間絶縁膜31上に形成する。

【0018】次に、レジストマスクM4をエッチングマスクとして使用し、エッチングストップ膜30に対して選択性がとれる条件で層間絶縁膜31に異方性エッチングを施し、その後、キャップ絶縁膜26及びサイドウォールスペース28に対して選択比がとれる条件でエッチングストップ膜30に異方性エッチングを施し、その後、ゲート電極25に対して選択比がとれる条件でキャップ絶縁膜26に異方性エッチングを施すことにより、シリコン基板21の素子形成領域上において、層間絶縁膜31の上面からゲート電極25に達するゲート用コンタクト孔33を形成することができる。

【0019】前述の方法を用いれば、キャップ絶縁膜26のエッチング時におけるオーバーエッチング量をゲート電極25の膜厚以下にすることにより、ゲート電極25からゲート用コンタクト孔33がはみ出るような場合であっても、低濃度不純物拡散領域27及び高濃度不純物拡散領域29を露出させることなく、ゲート用コンタクト孔33を形成することができる。

【0020】しかしながら、許容できるオーバーエッチング量はゲート電極25の膜厚に相当する程度しかないので、ゲート用コンタクト孔33内に充填された導電物(導電プラグ又は配線の一部)を介して生じる、ゲート電極と不純物拡散領域との短絡に対するマージンが小さい。

【0021】本発明の目的は、MISFETの不純物拡散領域におけるコンタクト抵抗を低減することが可能な技術を提供することにある。

【0022】本発明の他の目的は、MISFETのゲート電極と不純物拡散領域との短絡に対するマージンを大きくすることが可能な技術を提供することにある。

【0023】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0024】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0025】(1)半導体基板の素子形成領域にMISFETを有し、前記MISFETは、上面がキャップ絶縁膜で覆われ、側面がサイドウォールスペースで覆われたゲート電極と、前記ゲート電極に対して自己整合で形成された低濃度不純物拡散領域と、前記サイドウォールスペースに対して自己整合で形成された高濃度不純物拡散領域とを有する構成になっている半導体集積回路装置の製造方法であって、前記サイドウォールスペースを選択的に除去し、その後、前記キャップ絶縁膜を覆うようにして前記半導体基板上に下地に対して選択性を有するエッチングストップ膜を形成し、その後、前記エッチングストップ膜上にそれに対して選択性を有する層間絶縁膜を形成する工程と、前記層間絶縁膜に前記エッチングストップ膜に対して選択比がとれる条件で異方性エッチングを施し、その後、前記エッチングストップ膜にその下地に対して選択比がとれる条件で異方性エッチングを施して、前記層間絶縁膜の表面から前記高濃度不純物拡散領域に達するコンタクト孔を形成する工程を備える。

【0026】(2)半導体基板の素子形成領域に第一MISFET、第二MISFETの夫々を有し、前記第一MISFET、第二MISFETの夫々は、上面がキャップ絶縁膜で覆われ、側面がサイドウォールスペースで覆われたゲート電極と、前記ゲート電極に対して自己整合で形成された一対の低濃度不純物拡散領域と、前記サイドウォールスペースに対して自己整合で形成された一対の高濃度不純物拡散領域とを有する構成になっており、前記第一MISFET、第二MISFETの夫々のゲート電極は並列に配置され、前記第一MISFETの一方の高濃度不純物拡散領域は、前記ゲート電極間において、前記第二MISFETの一方の高濃度不純物拡散領域と共用されている半導体集積回路装置の製造方法であって、前記サイドウォールスペースを選択的に除去し、その後、前記キャップ絶縁膜を覆うようにして前記半導体基板上に下地に対して選択性を有するエッチングストップ膜を形成し、その後、前記エッチングストップ膜上にそれに対して選択性を有する層間絶縁膜を形成する工程と、前記層間絶縁膜に前記エッチングストップ膜に対して選択比がとれる条件で異方性エッチングを施し、その後、前記エッチングストップ膜にその下地に対して選択比がとれる条件で異方性エッチングを施して、前記層間絶縁膜の表面から前記高濃度不純物拡散領域に達するコンタクト孔を形成する工程を備える。

【0027】(3)半導体基板の素子形成領域にMISFETを有し、前記MISFETは、上面がキャップ絶縁膜で覆われ、側面がサイドウォールスペースで覆われたゲート電極と、前記ゲート電極に対して自己整合で形成された低濃度不純物拡散領域と、前記サイドウォールスペースに対して自己整合で形成された高濃度不純物拡散領域とを有する構成になっている半導体集積回路装置の製造方法であって、前記サイドウォールスペースを選

択的に除去し、その後、前記キャップ絶縁膜を覆うようにして前記半導体基板上に下地に対して選択性を有するエッチングストッパ膜を形成し、その後、前記エッチングストッパ膜上にそれに対して選択性を有する層間絶縁膜を形成する工程と、前記層間絶縁膜に前記エッチングストッパ膜に対して選択比がとれる条件で異方性エッチングを施し、その後、前記エッチングストッパ膜にその下地に対して選択比がとれる条件で異方性エッチングを施し、その後、前記キャップ絶縁膜に前記ゲート電極及び前記エッチングストッパ膜に対して選択比がとれる条件で異方性エッチングを施して、前記層間絶縁膜の表面から前記ゲート電極に達するコンタクト孔を形成する工程を備える。

【0028】上述した手段(1)によれば、ゲート電極の側面に形成されたサイドウォールスペースを選択的に除去した後にエッチングストッパ膜を形成することにより、層間絶縁膜、エッチングストッパ膜の夫々に異方性エッチングを施して、ゲート電極と半導体基板の素子分離領域との間の高濃度不純物拡散領域上にコンタクト孔を形成する際、ゲート電極の側面に残存するエッチングストッパ膜と半導体基板の素子分離領域との間の距離が広がるので、この間におけるコンタクト孔の底面積(高濃度不純物拡散領域の露出面積)を増加することができる。この結果、MISFETの高濃度不純物拡散領域におけるコンタクト抵抗を低減することができる。

【0029】上述した手段(2)によれば、ゲート電極の側面に形成されたサイドウォールスペースを選択的に除去した後にエッチングストッパ膜を形成することにより、層間絶縁膜、エッチングストッパ膜の夫々に異方性エッチングを施して、ゲート電極間の高濃度不純物拡散領域上にコンタクト孔を形成する際、一方のゲート電極の側面に残存するエッチングストッパ膜と他方のゲート電極の側面に残存するエッチングストッパ膜との間の距離が広がるので、この間におけるコンタクト孔の底面積(高濃度不純物拡散領域の露出面積)を増加することができる。この結果、MISFETの高濃度不純物拡散領域におけるコンタクト抵抗を低減することができる。

【0030】上述した手段(3)によれば、ゲート電極の側面に形成されたサイドウォールスペースを選択的に除去した後に、キャップ絶縁膜に対して選択性を有するエッチングストッパ膜を形成することにより、ゲート電極からコンタクト孔がはみ出るような場合、キャップ絶縁膜をエッチングする時の許容できるオーバーエッチング量はゲート電極の膜厚にキャップ絶縁膜を加算した厚さに相当する程度となるので、コンタクト孔内に充填された導電物(導電プラグ又は配線の一部)を介して生じる、MISFETのゲート電極と不純物拡散領域との短絡に対するマージンを大きくすることができる。

【0031】

【発明の実施の形態】以下、図面を参照して本発明の実

施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0032】(実施形態1)本実施形態では、半導体基板の素子形成領域に二つのMOSFETを有する半導体集積回路装置に本発明を適用した例について説明する。

【0033】図1乃至図10は、本発明の実施形態1である半導体集積回路装置の製造方法を説明するための断面図である。

10 【0034】まず、図2に示すように、単結晶シリコンからなる半導体基板1の主面の素子分離領域に溝2を選択的に形成し、その後、溝2内に酸化シリコン膜からなる素子分離用絶縁膜3を埋め込んで半導体基板1の主面の素子形成領域間を電気的に分離する。

【0035】次に、熱酸化処理を施して、半導体基板1の素子形成領域上に、例えば4[nm]程度の膜厚の酸化シリコン膜からなるゲート絶縁膜4を形成する。

20 【0036】次に、ゲート絶縁膜4上を含む半導体基板1上の全面に、ゲート電極となる例えば150[nm]程度の膜厚の多結晶シリコン膜をCVD(Chemical Vapor Deposition)法で形成する。この多結晶シリコン膜には抵抗値を低減する不純物として例えば燐(P)が導入されている。

【0037】次に、前記多結晶シリコン膜上の全面に、キャップ絶縁膜となる例えば150[nm]程度の膜厚の酸化シリコン膜をCVD法で形成する。

30 【0038】次に、前記酸化シリコン膜、前記多結晶シリコン膜の夫々に順次異方性エッチングを施して、半導体基板1の素子形成領域上に上面がキャップ絶縁膜6で覆われた二つのゲート電極5を形成する。二つのゲート電極5の夫々は、所定の間隔を置いて並列した状態で形成する。

【0039】次に、半導体基板1の素子形成領域に、ゲート電極5に対して自己整合でソース領域及びドレイン領域となる低濃度不純物拡散領域7を形成する。この低濃度不純物拡散領域7は、不純物として例えば砒素(As)をイオン打込み法で導入することによって形成される。ここまでの工程を図3に示す。

40 【0040】次に、キャップ絶縁膜6上を含む半導体基板1上の全面に、素子分離用絶縁膜3、ゲート絶縁膜4、キャップ絶縁膜6等の酸化シリコン及び半導体基板1、ゲート電極5等のシリコンに対して選択性を有する膜(選択的にエッチングが可能な膜)、例えば窒化シリコン膜をCVD法で形成し、その後、前記窒化シリコン膜にRIE(Reactive Ion Etching)等の異方性エッチングを施して、ゲート電極5の側面にサイドウォールスペース8を形成する。サイドウォールスペース8は、ゲート長方向の幅(膜厚)が例えば100[nm]程度となるように形成する。ここまでの工程を図4に示す。

【0041】次に、半導体基板1の素子形成領域に、サ

イドウォールスペース8に対して自己整合でソース領域及びドレイン領域となる高濃度不純物拡散領域9を形成する。この高濃度不純物拡散領域9は、低濃度不純物拡散領域7よりも高い不純物濃度で形成する。高濃度不純物拡散領域9は、不純物として例えば砒素(As)をイオン打込み法で導入することによって形成される。この工程により、半導体基板1の素子形成領域に、ドレイン領域のチャネル形成領域側の部分(低濃度不純物拡散領域7)が他の部分(高濃度不純物拡散領域9)の不純物濃度に比べて低い不純物濃度に設定されたLDD構造のnチャネル導電型MOSFET-Q1及びLDD構造のnチャネル導電型MOSFET-Q2が形成される。MOSFET-Q1、Q2の夫々は、主に、チャネル形成領域として用いられる半導体基板1と、酸化シリコン膜からなるゲート絶縁膜4と、多結晶シリコン膜からなるゲート電極5と、ソース領域及びドレイン領域となる一対の低濃度不純物拡散領域7と、ソース領域及びドレイン領域となる一対の高濃度不純物拡散領域9とを有する構成になっている。ゲート電極5は、上面がキャップ絶縁膜6で覆われ、側面がサイドウォールスペース8で覆われている。一対の低濃度不純物拡散領域7はゲート電極5に対して自己整合で形成され、一対の高濃度不純物拡散領域9はサイドウォールスペース8に対して自己整合で形成されている。MOSFET-Q1、Q2の夫々のゲート電極5は並列に配置され、MOSFET-Q1の一方の高濃度拡散領域9はMOSFET-Q2の一方の高濃度拡散領域9と共用されている。ここまでの工程を図5に示す。

【0042】次に、サイドウォールスペース8を選択的に除去する。サイドウォールスペース8は窒化シリコン膜で形成されているので、例えばリン酸によるウェットエッチングを用いて行うことにより、半導体基板1、素子分離用絶縁膜3、ゲート絶縁膜4、ゲート電極5、キャップ絶縁膜6等に影響を与えることなく、サイドウォールスペース8を選択的に除去することができる。ここまでの工程を図6に示す。

【0043】次に、キャップ絶縁膜6を覆うようにして、半導体基板1上の全面にエッチングストップ膜10をCVD法で形成する。エッチングストップ膜10は、素子分離用絶縁膜3、キャップ絶縁膜6等の酸化シリコン及び半導体基板1等のシリコンに対して選択性を有する膜(選択的にエッチングが可能な膜)、例えば窒化シリコン膜で形成する。また、エッチングストップ膜10は、サイドウォールスペース8のゲート長方向の膜厚(幅)よりも厚い膜厚で形成する。ここまでの工程を図7に示す。

【0044】次に、エッチングストップ膜10上に層間絶縁膜11を形成する。層間絶縁膜11は、エッチングストップ膜10に対して選択性を有する膜(選択的にエッチングが可能な膜)、例えば酸化シリコン膜で形成す

る。ここまでの工程を図8に示す。

【0045】次に、MOSFET-Q1、Q2の夫々の高濃度不純物拡散領域9上に拡散領域用コンタクト孔を形成するためのレジストマスクM1をフォトリソグラフィ技術を用いて層間絶縁膜11上に形成する。

【0046】次に、レジストマスクM1をエッチングマスクとして使用し、図9に示すように、エッチングストップ膜10に対して選択比がとれる条件で層間絶縁膜11に異方性エッチングを施し、その後、エッチングストップ膜10の下地である半導体基板1、素子分離用絶縁膜3及びキャップ絶縁膜6等に対して選択比がとれる条件でエッチングストップ膜10に異方性エッチングを施して、図10に示すように、層間絶縁膜11の表面から高濃度不純物拡散領域9に達する拡散領域用コンタクト孔12を形成する。

【0047】この工程において、ゲート電極5の側面に形成されたサイドウォールスペース8を選択的に除去した後にエッチングストップ膜10を形成しているので、層間絶縁膜11、エッチングストップ膜10の夫々に異方性エッチングを施して、ゲート電極5と半導体基板1の素子分離領域(素子分離用絶縁膜3)との間の高濃度不純物拡散領域9上に拡散領域用コンタクト孔12を形成する際、ゲート電極5の側面に残存するエッチングストップ膜10と半導体基板1の素子分離領域との間の距離が広くなる。例えば、ゲート電極5と半導体基板1の素子分離領域との間の距離Xを $0.5[\mu\text{m}]$ 、サイドウォールスペース8のゲート長方向の幅Aを $0.1[\mu\text{m}]$ 、エッチングストップ膜10の膜厚Bを $0.1[\mu\text{m}]$ とした場合、従来技術では拡散領域用コンタクト孔が開口できる幅は、距離X-幅A-膜厚B $=0.3[\mu\text{m}]$ となるのに対し、本実施形態ではサイドウォールスペース8がエッチングストップ膜10に置き代わるため、拡散領域用コンタクト孔が開口できる幅は、距離X-膜厚B $=0.4[\mu\text{m}]$ となる。

【0048】また、ゲート電極5の側面に形成されたサイドウォールスペース8を選択的に除去した後にエッチングストップ膜10を形成しているので、層間絶縁膜11、エッチングストップ膜10の夫々に異方性エッチングを施して、ゲート電極5間の高濃度不純物拡散領域9上に拡散領域用コンタクト孔12を形成する際、一方のゲート電極5の側面に残存するエッチングストップ膜10と他方のゲート電極5の側面に残存するエッチングストップ膜10との間の距離が広くなる。例えば、ゲート電極5間の距離Yを $0.6[\mu\text{m}]$ 、サイドウォールスペース8のゲート長方向の幅Aを $0.1[\mu\text{m}]$ 、エッチングストップ膜10の膜厚Bを $0.1[\mu\text{m}]$ とした場合、従来技術では拡散領域用コンタクト孔が開口できる幅は、距離Y-幅A $\times 2$ -膜厚B $\times 2=0.2[\mu\text{m}]$ となるのに対し、本実施形態ではサイドウォールスペース8がエッチングストップ膜10に置き代わるた

11

め、拡散領域用コンタクト孔が開口できる幅は、距離Y-膜厚 $B \times 2 = 0.4 [\mu m]$ となる。

【0049】次に、レジストマスクM1を除去し、その後、図示していないが、拡散領域用接続孔12と同様の方法を用いて、層間絶縁膜11の表面からゲート電極5に達するゲート用接続孔を形成する。

【0050】次に、拡散領域用接続孔12内及びゲート用接続孔内に金属等の導電物を充填して導電プラグ14を形成し、その後、層間絶縁膜11上に配線15を形成することにより、図1に示すように、MOSFET Q1、Q2の夫々に上層の配線15が電氣的に接続される。

【0051】以上説明したように、本実施形態によれば、以下の効果が得られる。

【0052】(1)ゲート電極5の側面に形成されたサイドウォールスペーサ8を選択的に除去した後にエッチングストップ膜10を形成することにより、層間絶縁膜11、エッチングストップ膜10の夫々に異方性エッチングを施して、ゲート電極5と半導体基板1の素子分離領域(素子用離用絶縁膜3)との間の高濃度不純物拡散領域9上に拡散領域用コンタクト孔12を形成する際、ゲート電極5の側面に残存するエッチングストップ膜10と半導体基板1の素子分離領域との間の距離が広くなるので、この間における拡散領域用コンタクト孔12の底面積(高濃度不純物拡散領域9の露出面積)を増加することができる。この結果、MOSFET(Q1、Q2)の高濃度不純物拡散領域9におけるコンタクト抵抗を低減することができる。

【0053】また、ゲート電極5の側面に残存するエッチングストップ膜10と半導体基板1の素子分離領域との間における拡散領域用コンタクト孔12の底面積(高濃度不純物拡散領域9の露出面積)を増加することができるので、この拡散領域用コンタクト孔12の底面積の増加に相当する分、MOSFET(Q1、Q2)の微細化を図ることができる。

【0054】(2)ゲート電極5の側面に形成されたサイドウォールスペーサ8を選択的に除去した後にエッチングストップ膜10を形成することにより、層間絶縁膜11、エッチングストップ膜10の夫々に異方性エッチングを施して、ゲート電極5間の高濃度不純物拡散領域9上に拡散領域用コンタクト孔12を形成する際、一方のゲート電極5の側面に残存するエッチングストップ膜10と他方のゲート電極5の側面に残存するエッチングストップ膜10との間の距離が広くなるので、この間における拡散領域用コンタクト孔12の底面積(高濃度不純物拡散領域9の露出面積)を増加することができる。この結果、MOSFET(Q1、Q2)の高濃度不純物拡散領域9におけるコンタクト抵抗を低減することができる。

【0055】また、一方のゲート電極5の側面に残存す

12

るエッチングストップ膜10と他方のゲート電極の側面に残存するエッチングストップ膜10との間における拡散領域用コンタクト孔12の底面積(高濃度不純物拡散領域9の露出面積)を増加することができるので、この拡散領域用コンタクト孔12の底面積の増加に相当する分、MOSFET(Q1、Q2)の微細化を図ることができる。

【0056】(3)エッチングストップ膜10をサイドウォールスペーサ8のゲート長方向の幅(膜厚)よりも厚い膜厚で形成することにより、拡散領域用コンタクト孔12を形成する際、低不純物拡散領域7の露出を防止することができるので、接合の浅い低不純物拡散領域7におけるリーク電流の増加を抑制することができる。

【0057】(4)エッチングストップ膜10のオーバーエッチング量をキャップ絶縁膜6の膜厚以下にすることにより、拡散領域用コンタクト孔12がゲート電極5上に乗り上げても、ゲート電極5を露出させることなく、拡散領域用コンタクト孔12を形成することができる。

【0058】なお、本実施形態では、エッチングストップ膜10を窒化シリコン膜で形成した例について説明したが、エッチングストップ膜10は下地に対して選択性があればよいので、窒化シリコン膜に限定されるものではない。

【0059】(実施形態2)本実施形態では、半導体基板の素子形成領域上においてゲート用接続孔を形成する例について説明する。

【0060】図11乃至図17は、本発明の実施形態2である半導体集積回路装置の製造方法を説明するための断面図である。

【0061】まず、単結晶シリコンからなる半導体基板1の主面の素子分離領域に溝2を選択的に形成し、その後、溝2内に酸化シリコン膜からなる素子分離用絶縁膜3を埋め込んで半導体基板1の主面の素子形成領域間を電氣的に分離する。

【0062】次に、前述の実施形態1と同様の方法を用いて、図12に示すように、半導体基板1の素子形成領域にLDD構造のnチャネル型MOSFET-Q3を形成する。MOSFET Q3は、主に、チャネル形成領域として用いられる半導体基板1と、酸化シリコン膜からなるゲート絶縁膜4と、多結晶シリコン膜からなるゲート電極5と、ソース領域及びドレイン領域となる一対の低濃度不純物拡散領域7と、ソース領域及びドレイン領域となる一対の高濃度不純物拡散領域9とを有する構成になっている。ゲート電極5は、上面がキャップ絶縁膜6で覆われ、側面がサイドウォールスペーサ8で覆われている。一対の低濃度不純物拡散領域7はゲート電極5に対して自己整合で形成され、一対の高濃度不純物拡散領域9はサイドウォールスペーサ8に対して自己整合で形成されている。

【0063】次に、半導体基板1、素子分離用絶縁膜3、ゲート絶縁膜4、ゲート電極5、キャップ絶縁膜6等に影響を与えることなく、図13に示すように、サイドウォールスペーサ8を選択的に除去する。

【0064】次に、キャップ絶縁膜6を覆うようにして、半導体基板1上の全面にエッチングストップ膜10をCVD法で形成する。エッチングストップ膜10は、素子分離用絶縁膜3、キャップ絶縁膜6等の酸化シリコン及び半導体基板1等のシリコンに対して選択性を有する膜(選択的にエッチングが可能な膜)、例えば窒化シリコン膜で形成する。また、エッチングストップ膜10は、サイドウォールスペーサ8のゲート長方向の幅(膜厚)よりも厚い膜厚で形成する。

【0065】次に、図14に示すように、エッチングストップ膜10上に層間絶縁膜11を形成する。層間絶縁膜11は、エッチングストップ膜10に対して選択性を有する膜(選択的にエッチングが可能な膜)、例えば酸化シリコン膜で形成する。

【0066】次に、図示していないが、前述の実施形態1と同様の方法を用いて、層間絶縁膜11の表面から高濃度不純物拡散領域9に達する拡散領域用コンタクト孔を形成する。

【0067】次に、ゲート電極5上にゲート用コンタクト孔を形成するためのレジストマスクM2をフォトリソグラフィ技術を用いて層間絶縁膜11上に形成する。

【0068】次に、レジストマスクM2をエッチングマスクとして使用し、図15に示すように、エッチングストップ膜10に対して選択比がとれる条件で層間絶縁膜11に異方性エッチングを施し、その後、図16に示すように、キャップ絶縁膜6に対して選択比がとれる条件でエッチングストップ膜10に異方性エッチングを施し、その後、図17に示すように、ゲート電極5及びエッチングストップ膜10に対して選択比がとれる条件でキャップ絶縁膜6に異方性エッチングを施して、層間絶縁膜11の表面からゲート電極5に達するゲート用コンタクト孔13を形成する。

【0069】この工程において、ゲート電極5の側面に形成されたサイドウォールスペーサ8を選択的に除去した後に、キャップ絶縁膜6に対して選択性を有するエッチングストップ膜10を形成しているため、ゲート電極5からゲート用コンタクト孔13がはみ出るような場合、キャップ絶縁膜6をエッチングする時の許容できるオーバーエッチング量はゲート電極5の膜厚にキャップ絶縁膜6を加算した厚さに相当する程度となる。例えば、ゲート電極5の厚さを150[nm]、キャップ絶縁膜6の厚さを150[nm]とした場合、従来技術では許容できるオーバーエッチング量はゲート電極5の厚さに相当する150[nm]程度となるのに対し、本実施形態ではゲート電極5の側面がキャップ絶縁膜6に対して選択性を有するエッチングストップ膜10で覆われ

ているため、許容できるオーバーエッチング量はゲート電極5の厚さにキャップ絶縁膜6の厚さを加算した厚さに相当する300[nm]程度となる。

【0070】次に、レジストマスクM2を除去し、その後、拡散領域用接続孔内及びゲート用接続孔13内に金属等の導電物を充填して導電プラグ14を形成し、その後、層間絶縁膜11上に配線15を形成することにより、図11に示すように、MOSFETQ3に上層の配線15が電気的に接続される。

10 【0071】以上説明したように、本実施形態によれば以下の効果が得られる。

【0072】ゲート電極5の側面に形成されたサイドウォールスペーサ8を選択的に除去した後に、キャップ絶縁膜6に対して選択性を有するエッチングストップ膜10を形成することにより、ゲート電極5からゲート用コンタクト孔13がはみ出るような場合、キャップ絶縁膜6をエッチングする時の許容できるオーバーエッチング量はゲート電極5の膜厚にキャップ絶縁膜6を加算した厚さに相当する程度となるので、ゲート用コンタクト孔13内に充填された導電物(導電プラグ14又は配線の一部)を介して生じる、MOSFETQ3のゲート電極5と不純物拡散領域(7, 9)との短絡に対するマージンを大きくすることができる。

【0073】また、MOSFETQ3のゲート電極5と不純物拡散領域(7, 9)との短絡に対するマージンを大きくすることができるので、半導体基板1の素子形成領域上においてゲート用コンタクト孔13を容易に形成することができ、MOSFETQ3の微細化を図ることができる。

30 【0074】なお、本実施形態では、エッチングストップ膜10を窒化シリコン膜で形成した例について説明したが、エッチングストップ膜10は少なくともキャップ絶縁膜及びゲート電極に対して選択性があればよいので、窒化シリコン膜に限定されるものではない。

【0075】また、実施形態1及び実施形態2では、低濃度不純物拡散領域をイオン打込み法で形成したLDD構造のMOSFETを用いた例について説明したが、ゲート電極の側面に不純物が導入されたサイドウォールスペーサを形成し、このサイドウォールスペーサから不純物を拡散して低濃度不純物拡散領域を形成したLDD構造のMOSFETであってもよい。

【0076】また、実施形態1及び実施形態2では、nチャネル導電型MOSFETを用いた例について説明したが、pチャネル導電型MOSFETであってもよい。

【0077】また、実施形態1及び実施形態2では、MOSFETを用いた例について説明したが、これに限定されず、MISFETであっても良いのはむしろである。MISFETのゲート絶縁膜は、例えば、熱酸化膜をN₂Oガス雰囲気中で酸化処理したSi-O-N膜で形成される。このSi-O-N膜からなるゲート絶縁膜を用

いたMISFETは、例えばホットキャリア耐性が向上する。

【0078】以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0079】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0080】MISFETの不純物拡散領域におけるコンタクト抵抗を低減することが可能となる。

【0081】また、MISFETのゲート電極と不純物拡散領域との短絡に対するマージンを大きくすることが可能となる。

【0082】また、MISFETの微細化を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態1である半導体集積回路装置の製造方法を説明するための断面図である。

【図2】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図3】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図4】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図5】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図6】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図7】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図8】前記半導体集積回路装置の製造方法を説明する

ための断面図である。

【図9】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図10】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図11】本発明の実施形態2である半導体集積回路装置の製造方法を説明するための断面図である。

【図12】前記半導体集積回路装置の製造方法を説明するための断面図である。

10 【図13】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図14】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図15】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図16】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図17】前記半導体集積回路装置の製造方法を説明するための断面図である。

20 【図18】従来技術を説明するための断面図である。

【図19】従来技術を説明するための断面図である。

【図20】従来技術を説明するための断面図である。

【図21】従来技術を説明するための断面図である。

【図22】従来技術を説明するための断面図である。

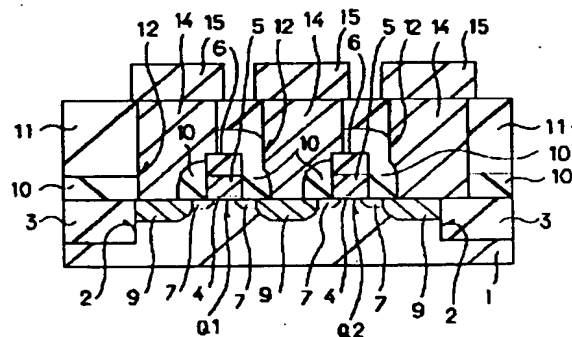
【図23】従来技術を説明するための断面図である。

【符号の説明】

1…半導体基板、2…溝、3…素子分離用絶縁膜、4…ゲート絶縁膜、5…ゲート電極、6…キャップ絶縁膜、7…低濃度不純物拡散領域、8…サイドウォールスペーサ、9…高濃度不純物拡散領域、10…エッチングストップ膜、11…層間絶縁膜、12…拡散領域用コンタクト孔、13…ゲート用コンタクト孔、14…導電プラグ、15…配線、M1、M2…レジストマスク、Q1、Q2、Q3…MOSFET。

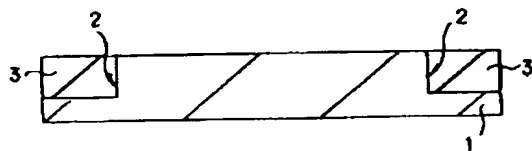
【図1】

図1



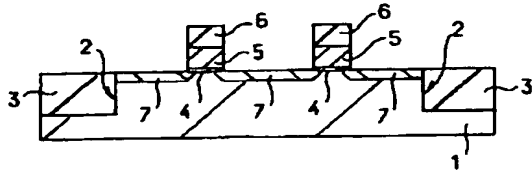
【図2】

図2



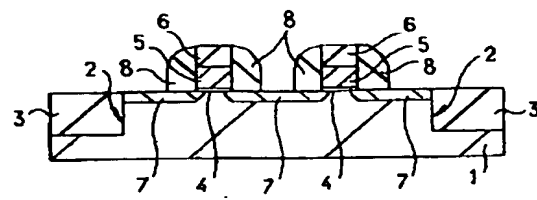
【図3】

図3



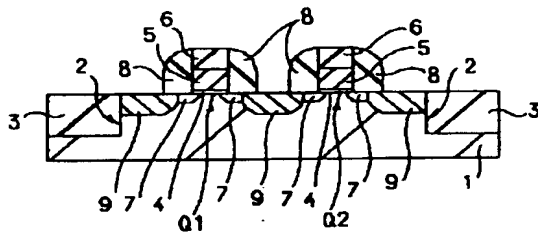
【図4】

図4



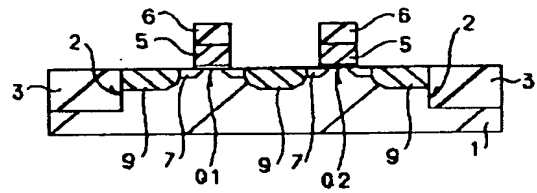
【図5】

図5



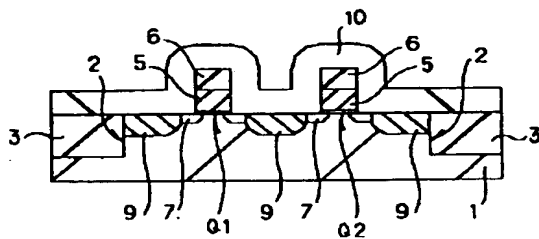
【図6】

図6



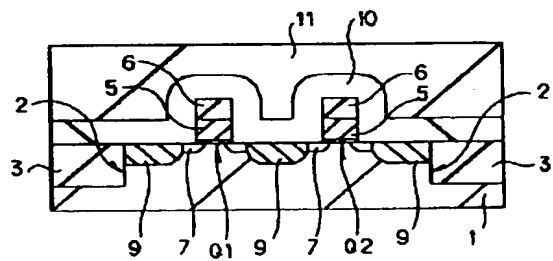
【図7】

図7



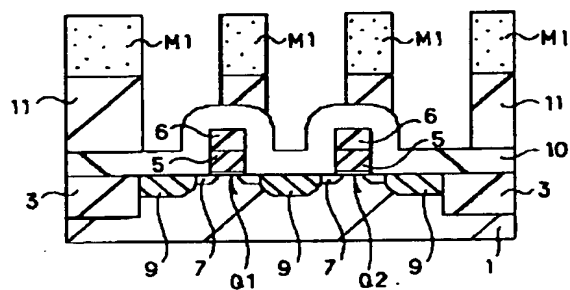
【図8】

図8



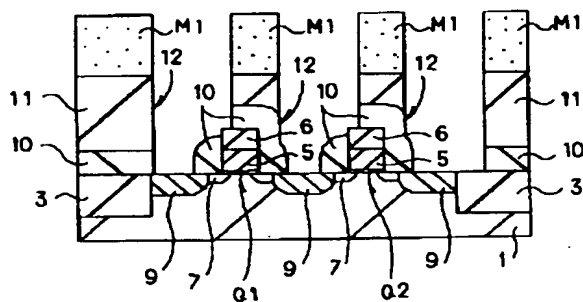
【図9】

図9



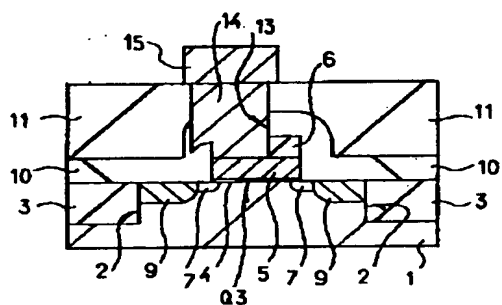
【図10】

図10



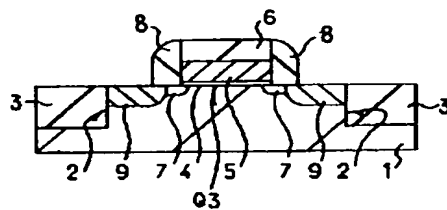
【図11】

図11



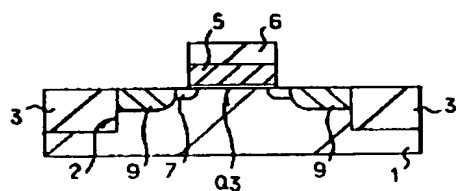
【図12】

図12



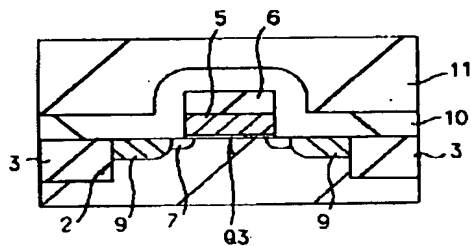
【図13】

図13



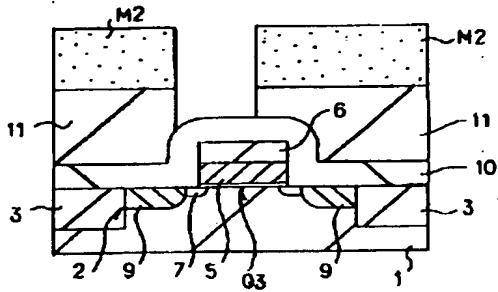
【図14】

図14



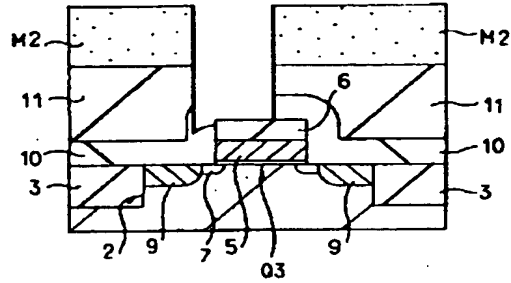
【図15】

図15



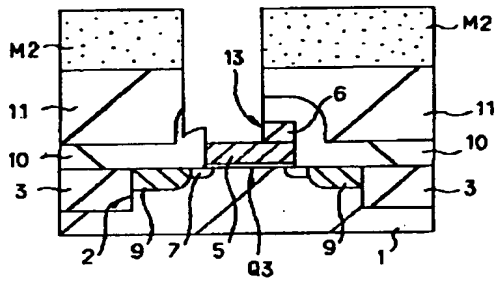
【図16】

図16



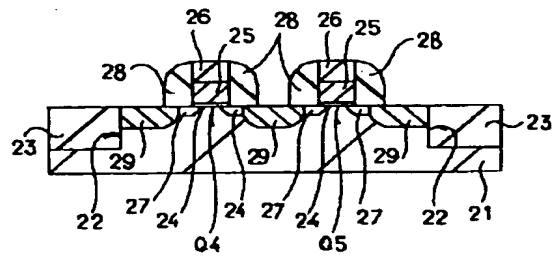
【図17】

図17



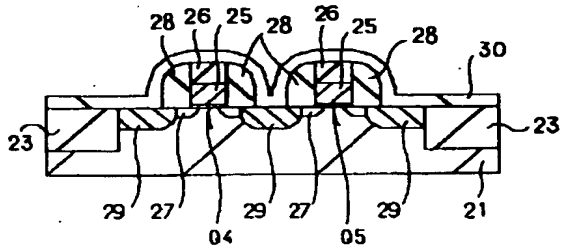
【図18】

図18



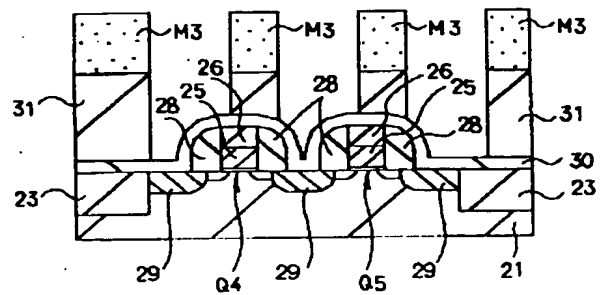
【図19】

図19



【図20】

図20



【图22】

图 2 2

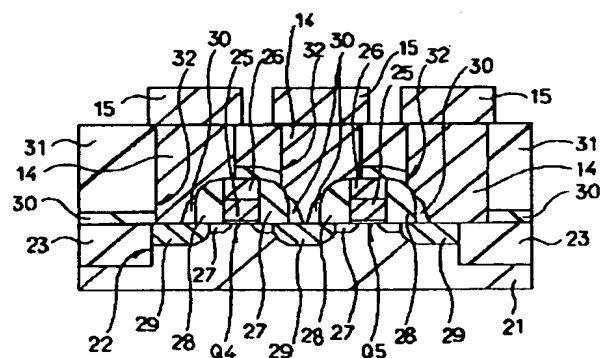
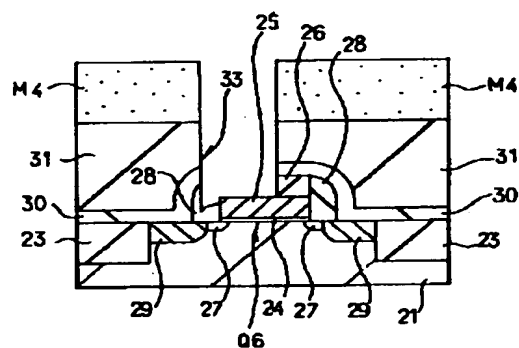


图 2 3



(72)発明者 飯田 雅也
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

Fターム(参考) 5F040 DA10 DB03 DC01 EC07 EF02
EH08 EK05 FA07 FB02 FC11
FC21
5F048 AA01 AC03 BA01 BB06 BC06
BF15 BF16 BG14 DA19 DA27